

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205349

(43)Date of publication of application : 05.08.1997

(51)Int.Cl. H03K 5/00
H03K 5/05
H03K 17/00

(21)Application number : 08-011438

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 26.01.1996

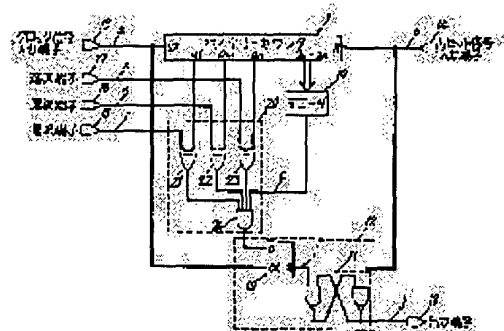
(72)Inventor : KINUGASA NORIHIDE

(54) PULSE WIDTH SELECTION SIGNAL OUTPUT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To select various kinds of pulse widths by a small number of decoders and selection terminals.

SOLUTION: This device is composed of a binary counter 1, a decoder 19, plural exclusive OR gate circuits 21 to 23, three selection terminals 15 to 17, an AND gate circuit 24 to which the outputs of these exclusive OR gate circuits 21 to 23 and the decoder 19 are supplied and a R-S latch circuit 11 to which the output of this AND gate circuit 24 and a reset signal are supplied. The output terminal of the R-S latch circuit 11 is connected to an output terminal 18. As a result, 8 (=2³) kinds of pulse widths can be selected and outputted by the one decoder 19.



LEGAL STATUS

[Date of request for examination] 06.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3225821

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205349

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/00			H 0 3 K 5/00	T
5/05			5/05	
17/00		9184-5K	17/00	R
			5/00	Y

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平8-11438

(22) 出願日 平成8年(1996)1月26日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 衣笠 教英

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

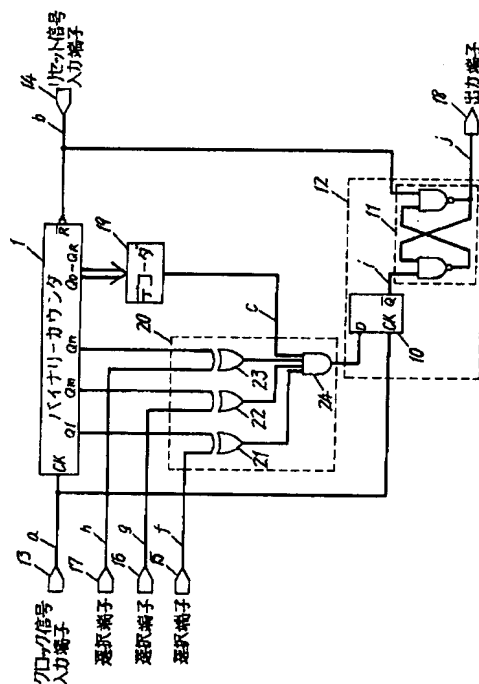
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 パルス幅選択信号出力装置

(57) 【要約】

【課題】 少ないデコーダ数と選択端子数で多種のパルス幅を選択可能とする。

【解決手段】 バイナリーカウンタ1と、デコーダ19と、複数のイクスクルーシブORゲート回路21～23と、三つの選択端子15～17と、これらイクスクルーシブORゲート回路21～23およびデコーダ19の出力が供給されるANDゲート回路24と、このANDゲート回路24の出力およびリセット信号が供給されるR-Sラッチ回路11とを備え、R-Sラッチ回路11の出力端を出力端子18に接続した。これにより、一つのデコーダ19で、8 (= 2³) 通りのパルス幅を選択して出力することができる。



1

【特許請求の範囲】

【請求項 1】 リセット信号入力端子およびクロック信号入力端子を有し、前記リセット信号によってリセットされるバイナリーカウンタ、前記バイナリーカウンタのカウンタ値出力をデコードするデコーダ、前記バイナリーカウンタから前記デコーダに供給されているビットのうちの最下位ビットより低いビット出力が一方の入力端子に供給される複数のイクスクルーシブORゲート回路、前記複数のイクスクルーシブORゲート回路の他方の入力端子に信号を供給するための複数の選択入力端子、前記複数のイクスクルーシブORゲート回路の出力と前記デコーダの出力との論理積出力を出力するANDゲート回路、D入力端子に前記論理積出力が供給され、クロック信号入力端子に前記クロック信号が供給されるD-フリップフロップ回路、一方の入力端子に前記D-フリップフロップ回路の出力が供給され、他方の入力端子に前記リセット信号が供給されるR-Sラッチ回路、ならびに、前記R-Sラッチ回路の出力が供給される出力端子とを備えたことを特徴とするパルス幅選択信号出力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパルス幅を選択できるパルス幅選択信号出力装置に関するものである。

【0002】

【従来の技術】以下に従来のパルス幅選択信号出力装置の一例について、図3および図4を参照しながら説明する。図3はこの装置の構成を示す回路図であり、図4はその動作波形図である。

【0003】図3に示すように、この装置は、バイナリーカウンタ1と、デコーダ2~4と、NANDゲート回路5~8で構成されたセクタ回路9と、D-フリップフロップ回路10、およびR-Sラッチ回路11で構成された波形整形回路12とを備える。

【0004】バイナリーカウンタ1は、クロック信号入力端子13から印加されるクロック信号aをカウントし、リセット信号入力端子14からのリセット信号bでそのカウント値がリセットされる。

【0005】デコーダ2~4は、バイナリーカウンタ1のカウント値をデコードして、対応するセクタ回路9のNANDゲート回路5~7の一方の入力端子にそれぞれの出力信号c~eを供給する。

【0006】セクタ回路9は、選択端子15~17からNANDゲート回路5~7の他方の入力端子にそれぞれ供給される選択信号f~hに応じて、デコーダ2~4によるデコード出力信号c~eのうちの一つを選択し、それを波形整形回路12のD-フリップフロップ回路10の一方の入力端子に供給する。

【0007】波形整形回路12は、D-フリップフロップ回路10が、セクタ回路9で選ばれたデコード出力

2

信号と他方の入力端子に印加されるクロック信号aとに応じて信号iを出力し、R-Sラッチ回路11の一方の端子に供給する。

【0008】R-Sラッチ回路11は、D-フリップフロップ回路10の出力信号iと、他方の入力端子に供給されるリセット信号bとによって出力信号jを出力端子18に発生する。この出力信号jは、リセット信号bからD-フリップフロップ回路10の出力信号iまでと等しい間の幅をもつ信号となる。

【0009】上述の動作について図4を参照してさらに詳細に述べる。バイナリーカウンタ1は、まずはじめのリセット信号bでリセットされ、次のリセット信号が印加されるまでの間、クロック信号aをカウントする。デコーダ2~4は、それぞれバイナリーカウンタ1のカウント値A、B、Cをデコードして出力信号c、d、eを発生する。ここで、デコード出力信号c、d、eは、その波形が必ずしも図示したようなパルス波形に限られるものでなく、リセット信号bの到来後にカウント値A、B、Cでそれぞれ最初の出力が得られるものであればよい。

【0010】これらデコード出力信号c~eのうちの一つを、選択端子15~17からNANDゲート回路5~7に供給する信号f~hのレベルを“Hi”または“Lo”とすることによって選ぶ。一例として、出力信号c~eのうちの信号dを選ぶときには、たとえば、選択端子16に印加する選択信号gを“Hi”レベルとし、他の選択端子15、17に印加する選択信号f、hを“Lo”レベルとする。選択されたデコード出力信号dを波形整形回路12のD-フリップフロップ回路10の入力端子Dに印加し、また、クロック信号aをその入力端子CKに供給することによって、D-フリップフロップ回路10は、反転出力端子に、バイナリーカウンタ1によるカウント値がBとなったときに、それに同期したトレイリングエッジを有する出力信号iを発生する。この出力信号iをR-Sラッチ回路11のセット信号とし、リセット信号bをそのリセット信号とすることによって、R-Sラッチ回路11はその反転出力端子から出力信号jを発生する。出力信号jは、カウント開始直前のリセット信号bからカウント値Bまでの期間“Hi”レベルのパルス信号となる。ここで、選択端子15~17に印加する選択信号fまたは同hのレベルを“Hi”とすることで、トレイリングエッジをカウント値Aまたは同Cに同期させることができる。したがって、出力端子18に得られる出力信号jには、選択端子15~17への選択信号f~hの信号レベルによって3種類のパルス幅の出力信号とすることができる。

【0011】

【発明が解決しようとする課題】このようなパルス幅選択信号出力装置において、出力端子18に得られる出力信号jのパルス幅を可変にしようとする、希望する幅

3

の種類に応じた数のデコーダが必要となり、さらにこの希望する数の選択端子を必要とした。

【0012】本発明は、簡単な回路構成で、選択端子の個数を2の指数とした数のパルス幅選択出力信号を得ることができ、とりわけ集積化において少ない素子数でパルス幅を可変とすることができるパルス信号出力装置を提供することを課題とする。

【0013】

【課題を解決するための手段】本発明のパルス幅選択信号出力装置は、上記課題を解決するために、リセット信号入力端子およびクロック信号入力端子を有し、このリセット信号によってリセットされるバイナリーカウンタと、バイナリーカウンタのカウント値出力をデコードするデコーダと、バイナリーカウンタからデコーダに供給されているビットのうちの最下位ビットより低いビット出力が一方の入力端子に供給される複数のイクスクルーシブORゲート回路と、複数のイクスクルーシブORゲート回路の他方の入力端子に信号を供給するための複数の選択入力端子と、イクスクルーシブORゲート回路の出力およびデコーダの出力の論理積出力を出力するANDゲート回路と、D入力端子にANDゲート回路による論理積出力が供給され、クロック信号入力端子にクロック信号が供給されるDフリップフロップ回路と、一方の入力端子にDフリップフロップ回路の出力が供給され、他方の入力端子にリセット信号が供給されるR-Sラッチ回路と、このR-Sラッチ回路の出力が供給される出力端子とを備える。

【0014】これにより、一つのデコーダによって、選択端子の数が3であれば、8(=2³)通りのパルス幅を選択して出力することが可能となる。

【0015】

【発明の実施の形態】以下本発明の実施の形態の一例について、図面を参照しながら説明する。図1はこの例の回路図であり、図2はその動作波形図である。なお、図1において、図3に示した装置の構成要素と対応するものには同じ符号を付している。

【0016】バイナリーカウンタ1は、クロック信号入力端子13からのクロック信号aをカウントし、リセット信号入力端子14からのリセット信号bによってリセットされる。デコーダ19は、バイナリーカウンタ1のカウント値Aをデコードし、デコード出力cを発生する。タイミングセクタ20は、複数のイクスクルーシブORゲート回路21~23と、ANDゲート回路24とで構成される。イクスクルーシブORゲート回路21~23の一方の入力端子には、デコーダ19がデコードしているバイナリーカウンタ1の最下位ビットよりも低いビット出力Q1, Qm, Qnがそれぞれ供給され、また、それらの他方の入力端子には選択端子15~17に印加されている入力信号f, g, hがそれぞれ供給される。ANDゲート回路24はこれらイクスクルーシブOR

4

Rゲート回路21~23の出力とデコーダ19の出力cとの論理積をとって、タイミングセクタ20の出力とする。波形整形回路12はDフリップフロップ回路10とR-Sラッチ回路11とで構成される。Dフリップフロップ回路10のクロック信号入力端子にはクロック信号入力端子13からのクロック信号aが、また、D入力端子にはタイミングセクタ20の出力信号がそれぞれ供給される。R-Sラッチ回路11の一方の入力端子にはリセット信号入力端子14からのリセット信号が、また、他方の入力端子にはDフリップフロップ回路10の出力信号iがそれぞれ供給される。R-Sラッチ回路11の出力端を出力端子18に接続して出力信号jを取り出し、リセット信号bによってDフリップフロップ回路10の出力信号iの間の幅をもつパルス信号を得る。

【0017】上述した構成の装置の動作について、以下説明する。図2において、バイナリーカウンタ1はクロック信号aをカウントし、リセット信号bによってリセットされる。そのカウント値Aをデコーダ19がデコードしてデコード出力cを得、バイナリーカウンタ1のQm出力と選択端子16の“Low”レベル入力信号によってカウント値Bをデコードし、バイナリーカウンタ1のQ1出力, Qn出力と選択端子15, 17の“Low”レベル入力信号とによってカウント値Cをデコードしている。これらのデコード出力は、タイミングセクタ20の出力として、波形整形回路12のDフリップフロップ回路10の入力端子に供給され、バイナリーカウンタ1のクロック信号aをDフリップフロップ回路10へのクロック信号とすることによって、Dフリップフロップ回路10の出力端子にはタイミングセクタ20の出力信号の直後に出力信号iを得ることができる。この出力信号iをR-Sラッチ回路11のセット信号として用い、リセット信号bをそのリセット信号とすることによって、R-Sラッチ回路11の反転出力端子から出力信号jを得ることができる。

【0018】出力信号jは、リセット信号bからカウント値(A+α)の期間、“Hi”レベルとなるパルス信号であり、選択端子15~17への入力信号によってトレイリングエッジをカウント値A以上7通り選択できる。したがって、出力信号jを出力端子18に出力することによって、選択端子15~17への入力信号によってそのパルス幅を可変できる出力信号を得ることができる。

【0019】

【発明の効果】本発明によれば、1個のデコーダを有した構成で、選択端子の個数を2の指数とした数のパルス幅選択出力信号を得ることができ、とりわけ集積化において少ない素子数でパルス幅を可変とすることができ、実用上きわめて有用である。

【図面の簡単な説明】

5

6

【図 1】 本発明にかかるパルス幅選択信号出力装置の実施の形態の構成を示す回路図

【図 2】 図 1 に示した本発明の実施の形態の動作波形図

【図 3】 従来のパルス幅選択信号出力装置の回路図

【図 4】 従来のパルス幅選択信号出力装置の動作波形図

【符号の説明】

1 バイナリーカウンタ

10 D-フリップフロップ回路

11 R-S ラッチ回路

* 12 波形整形回路

13 クロック信号入力端子

14 リセット信号入力端子

15~17 選択端子

18 出力端子

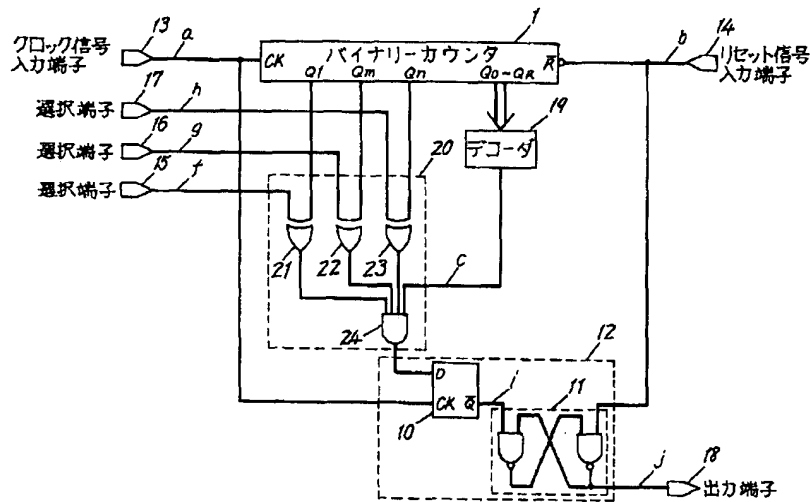
19 デコーダ

20 タイミングセレクタ

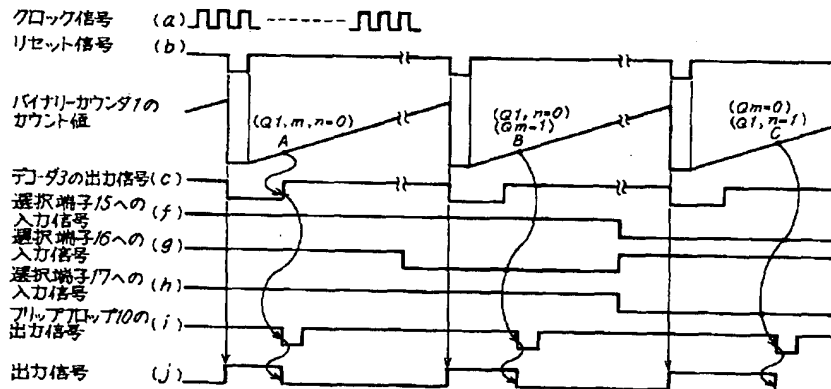
21~23 イクスクループORゲート回路

* 24 ANDゲート回路

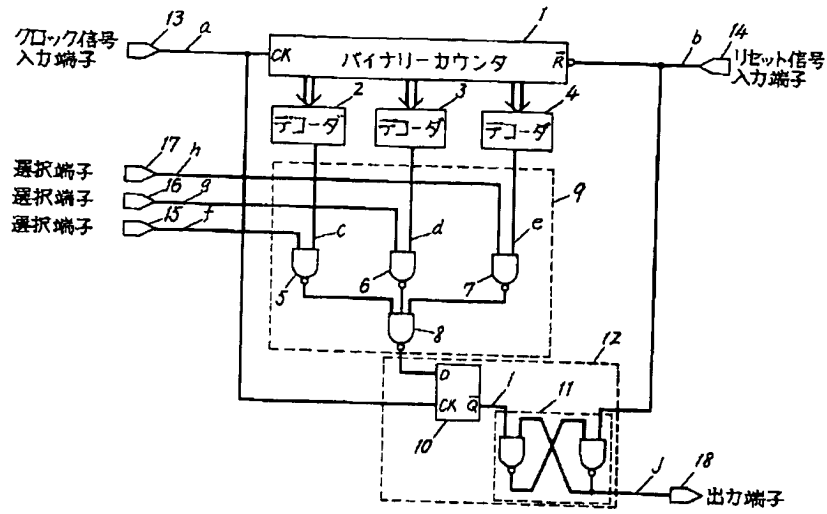
【図 1】



【図 2】



【図 3】



【図 4】

